**4.2 Обмін інформацією в мікропроцесорній системі.**

Концепція обчислювальної техніки припускає обробку і зберігання інформації. Для забезпечення цих функцій необхідний обмін інформацією між елементами МПС. Тобто необхідно забезпечити взаємодію між процесором, оперативною пам'яттю і зовнішніми пристроями (ЗПр). Можна виділити три основні режими роботи процесора із зовнішніми пристроями:

1) програмний режим опитування готовності ЗПр (полинг)

2) режим прямого доступу до загальної пам'яті з боку ЗПр

3) режим переривання програми.

**4.2.1 Програмний режим обміну.**

В режимі опитування готовності зовнішніх пристроїв (ЗПр) ініціатором обміну є процесор. Для синхронізації використовується біт готовності в регістрі (порту) зовнішнього пристрою. Цей біт встановлюється контролером зовнішнього пристрою, коли воно готове до обміну і скидається при зверненні до регістра (порту) даних (таблиця 4.1).

Для обслуговування декількох ЗПр використовується програмний полінг, тобто опитування ЗПр відповідно до рангу їх пріоритетів. Полінг оформляється у вигляді підпрограми.Можливий випадок, коли сама програма процесора є полінгом.

*Таблиця 4.1* Параметри для програми полінга

|  |  |  |
| --- | --- | --- |
| ЗПр Номер ЗП | Адреса PC | Назва підпрограми обробки переривань |
| 1 | 01h PROC1 | PROC1 |
| 2 | 02h PROC2 | PROC2 |
| 3 | 03h | PROC3 |
| 4 | 04h | PROC4 |
| 5 | 05h | PROC5 |
| 6 | 06h | PROC6 |
| 7 | 07h | PROC7 |
| 8 | 08h | PROC8 |
| 9 | 09h | PROC9 |
| 10 | 10h | PROC10 |
| 11 | 11h | PROС 11 |
| 12 | 12h | PROC12 |

Програмний обмін у даній БОС є дуже повільним, що зумовлено взаємодією контролера з систесною магістралі через додаткові порти.

Розглянемо фрагмент програми полінгу для даної БОС (рис. 4.1). Нехай ми тестуємо пристрій, що має *РС* за адресою 0Аh.



Рис. 4.1. Загальний алгоритм полінгу

*Програма обміну.*

movlw 01010b ;команда запису даних в порт Р5

movwf PORTA ;передача команди

movlw 1000b ;керуюче слово, що визначає роботу з першою тетрадою адреси та активує сигнали CS для ЗП

movwf PORTB ;запис керуючого слова в порт В для передачі

movlw 1

orlwf PORTA, f;встановлення сигналу PROG в 1 для передачі даних в порт Р5

movlw 01100b ;команда запису даних в порт Р6

movwf PORTA ;передача команди

movlw 0Аh ;адреса

movwf PORTB ;запис керуючого слова в порт В для передачі

movlw 1

orlwf PORTA, f;встановл. сигналу PROG в 1 для передачі даних в порт Р6

movlw 01010b ;команда запису даних в порт Р5

movwf PORTA ;передача команди

movlw 1001b ;керуюче слово, що визначає роботу з другою тетрадою

;даних та активує сигнали CS для ЗП

movwf PORTB ;запис керуючого слова в порт В для передачі

movlw 1

orlwf PORTA, f;встановлення сигналу PROG в 1 для передачі даних в порт Р5

movlw 00110b ;команда читання даних з порту Р7

movwf PORTA ;передача команди

movlw 20h

orlwf PORTB, f;подача сигналу R для читання

movlw 1

orlwf PORTA, f;встановлення сигналу PROG в 1 для передачі даних з порту Р7

movfw PORTB ;читання даних з шини (старші 4 роряди)

movwf 0ch ;зберігаємо біти регістра стану

bcfsc 0ch, 3 ;перевіряємо, чи готовий ЗП

call PROCESS ;викликаємо підпрограму обробки

**4.2.2 Реалізація режиму прямого доступу до загальної пам’яті**

Режим прямого доступу до пам'яті використовується для розвантаження процесора при обміні масивами даних між оперативною пам'яттю і зовнішніми пристроями.

Ініціатор обміну - процесор, який виконує ініціалізацію контролера прямого доступу до пам'яті і запускає його. Надалі два активні пристрої (процесор і КПДП) захоплюють по черзі системну шину, за рахунок чого здійснюється паралельна робота цих пристроїв. В СО, що розробляється, реалізований розподілений КПДП, з'єднаний разом з розподіленим контролером пріоритетних переривань (рис 4.2).

КПДП має ряд адрес в адресному просторі ЗПр. Адреси відповідають таким регістрам регістр стану (PC) регістр даних (РД), регістр команд (РК), регістр лічильник (PЛч), регістр початкової адреси пам'яті (РПАП), регістр початкової адреси пристрою (РПАПр).



Рис. 4.2. З'єднаний розподілений контролер прямого доступу до пам'яті і

пріоритетних переривань.

На рисунку прийняті наступні позначення:

П – процесор;

ОП - оперативна пам'ять;

РАПП1 - розподілений арбітр пріоритетних переривань;

РАПДП2 - розподілений арбітр прямого доступу до пам'яті;

БР - буферний регістр;

Лог ПДП - Логіка ПДП;

ПП(in) - підтвердження переривання для РАПП;

ППдп(in) - підтвердження переривання для РАПДП;

ПВ - підтвердження вибіри;

Підг - сигнал підготовки для РАПДП;

ВПДП - вимога прямого доступу до пам'яті ;

ФВ - формувач вектора;

ШАД - шина адреси даних.

Ініціалізація КПДП зводиться до запису інформації у відповідні регістри, що здійснюється в програмному режимі. КПДП може працювати в режимі одиночної передачі або в режимі пакетної передачі. Структурна схема розподіленого арбітра ПДП приведена на рисунку 4.3.

У кожному ЗП є свій інтерфейс із РС і РД, через який здійснюється пересилання даних. Крім того, є БП ПДП, і спеціальні регістри:

ЛТ – лічильник кількості слів у переданому масиві

РПА – режим початкової адреси

РК – регістр команд (передача, напрямок)

РР – регістр режиму (або слово передавати, або масив)

Завантаження цих регістрів здійснюється в програмному режимі процесором (м.б. навіть у режимі обробки переривань).



Рис. 4.3. Розподілений арбітр i-й (КПДП)

Розглянемо синхронізацію процесу захвата системної магістралі, яка складається з наступних пунктів:

1. Зовнішній пристрій, одного або трохи, яким необхідний прямий доступ до ОП виставляють на шину ТПДП свої запити (шина віртуальне «І»). ТПДП (ТШ) знімається з елемента І1, Тгпдп у цих пристроях установлюється в одиничний стан.
2. У відповідь на сигнал ТПДП (ТШ) процесор, після того, як закінчить свій цикл обміну з ОП, видасть сигнал Під ПДП на відповідну шину ((=1).
3. По сигналу Під ПДП установлюється тригер ПВ (Тг2) в одиничний стан у ЗП яке вимагає «захват шини». Цей тригер набудовує «дсузі-ланцюжок» у кожному ЗП.
4. Через деякий проміжок часу П видасть сигнал ПП ПДП. Сигнал ПП ПДП проходить через І-є ЗП, якщо пристрій не виставив сигнал ТШ, а якщо ні - сигнал ПП не проходить далі, і цей пристрій «захоплює шину». Т.є. воно найбільше приоритетно, у ньому замикається « дсузі-ланцюжок».
5. Це відбувається в такий спосіб. На вході елемента &3 з'являється одиничний сигнал, через Fпв він надходить на шину підтвердження вибірки (ПВ), (шина монтаж &). Цим сигналом знімається сигнал ТПДП (ТШ). ( через &2)
6. Сигнал ПВ підтверджує «захват шини» на цикл обміну. Т.е. він тримається доти, поки Вуi здійснює пересилання одного слова або масиву слів в ОП. У відповідь на сигнал ПВ процесор відключається від системної магістралі сигналом ОЕ ПДП; (&=1). Тгпв скидається сигналом з БУ «скидання ПВ».

ППДП скидає тг. Тгпдп, але він вже не відіграє важливу роль, тому що ПВ встановив зафіксоване підключення до цього пристрою.

**4.2.3 Реалізація режиму преривань.**

Переривання - тимчасова зупинка виконання однієї програми, перехід на іншу з можливістю переходу на перервану програму. Режим переривань припускає тимчасову зупинку основної програми і перехід на програму обробки переривань з подальшим поверненням в основну програму.

Контролер пріоритетних векторних переривань, що використовується, є блоком модульної системи переривань, використовування якого раціонально із двох причин: модульне використовування апаратури забезпечує можливість її розширення, дотримання модульного принципу приводить до регулярності структури системи - структура стає більш простою і скорочується номенклатура апаратної частини.

Апаратні переривання формуються певними схемами процесора при настанні визначених подій (розподіл на нуль, зависання при зверненні до пам'яті або ЗП).

Програмні переривання викликаються при виконанні команд переривання. Ці програми можуть вводиться програмістом в початкову програму або вставлятися компілятором в процесі компіляції програми. Такі переривання зручні в процесі відладки системи (вони імітують зовнішні переривання), а також є універсальним засобом для виклику стандартних підпрограм операційної системи.

Зовнішні переривання розділяють на векторні та без векторні. Для використовування безвекторних переривань процесор має спеціальні входи для надходження запитів на переривання програм. Для векторних виходів існують стандартні підпрограми обслуговування з фіксованими початковими адресами. Безвекторні переривання сигналізують про збій живлення, сигналів від зовнішнього таймера. Суть використовування векторних переривань в тому, що будь-якому зовнішньому пристрою можна дозволити переривання програми. Для подачі сигналу такого переривання використовується один вхід процесора. Ідентифікація пристрою процесором здійснюється читанням по шині даних вектора (номери) зовнішнього пристрою.

Спеціальна процедура на апаратному або мікропрограмному рівні ставить у відповідність вектору початкову адресу підпрограми обслуговування. Вимоги переривання перевіряються після завершення кожної команди.

Векторні переривання реалізуються двома методами:

1) використовування централізованого контролера пріоритетних переривань;

2) використовування розподіленого контролера пріоритетних переривань.

В мікропроцесорній системі, що розробляється, реалізований розподілений контролер пріоритетного перерівання. (рис. 4.4).

Рис. 4.4. Розподілений контролер пріоритетних переривань

На рисунку прийняті позначення:

П – процесор;

РАПП - розподілений арбітр пріоритетних переривань;

ФВ - формувач вектора;

PC - регістр стану ЗПр;

ПД - сигнал підготовки

ЗП - запит на переривання

ПП(in) - вхідний сигнал підтвердження переривання

ПП(оut) - сигнал, що виходить, підтвердження переривання.

В процесі ініціалізації системи процесор записує в регістр стану всіх ЗПр "1" в біт дозволу переривань. Коли ЗП готово до обміну встановлюється біт готовності в регістрі стану своїм контролером. По збігу сигналів Г і РП формується низьким рівнем сигнал вимоги переривання на загальній однопровідній шині. Після виконання чергової команди процесор перевіряє цей сигнал, формує послідовно і підтвердження (ПП) переривання.

По сигналу підготовки у всіх ЗПр забороняється зміна станів всіх тригерів. В кожному інтерфейсі комутується шлях проходження сигналу Пп. Якщо ЗПр виставляло вимоги переривання то ланцюг проходження ПП далі розривається, а в цьому ЗПр по даному сигналу видається вектор на шину даних, який приймається процесором. Тимчасова діаграма обробки переривання зображена на рис 4.5.

Вектор

t

ШАД

ЗП1

Підг

ПП

RD

Рис. 4.5. Тимчасова діаграма режиму переривань

Оскільки вектор можна довільно настроювати, то він може бути готовою адресою першої команди підпрограми. Минаючи таблицю векторів, ця адреса може бути записана в лічильник команд, після попереднього збереження інформації в стеку.

Для організації режиму обміну через обробку переривань до складу БОС входить централізований контролер пріорітетних переривань.

Підключення КПП показано на структурній схемі БОС (у графічній документації).

Сигнал запиту переривання подається на вхід контролера *RB0*. Сигнал дозволу переривання можна видати за допомогою виходу *RB1*.

Для обробки переривання необхідно зберегти стан контролера це можна зробити наступним чином.